



**Cursusomvang** (nominale waarden; effectieve waarden kunnen verschillen per opleiding)

**Studiepunten 6.0**      **Studietijd 180 u**      **Contacturen 60.0 u**

**Aanbodsessies en werkvormen in academiejaar 2017-2018**

A (semester 1)	hoorcollege	36.0 u
	practicum	24.0 u
B (semester 1)	hoorcollege	30.0 u

**Lesgevers in academiejaar 2017-2018**

Veelaert, Peter	TW07	Verantwoordelijk lesgever
-----------------	------	---------------------------

**Aangeboden in onderstaande opleidingen in 2017-2018**

	stptn	aanbodsessie
Bachelor of Science in de industriële wetenschappen (afstudeerrichting elektronica-ICT)	6	A
Bachelor of Science in de industriële wetenschappen: elektronica-ICT	6	A
Master of Science in de industriële wetenschappen: elektrotechniek (afstudeerrichting automatisering)	6	A
Master of Science in de industriële wetenschappen: informatica	3	B
Schakelprogramma tot Master of Science in de industriële wetenschappen: elektronica-ICT (afstudeerrichting ICT)	6	A
Schakelprogramma tot Master of Science in de industriële wetenschappen: elektronica-ICT (afstudeerrichting elektronica)	6	A
Vorbereidingsprogramma tot Master of Science in de industriële wetenschappen: elektronica-ICT (afstudeerrichting ICT)	6	A
Vorbereidingsprogramma tot Master of Science in de industriële wetenschappen: elektronica-ICT (afstudeerrichting elektronica)	6	A

**Onderwijstalen**

Nederlands

**Trefwoorden**

Digitale Systemen, VHDL, RTL-ontwerp, HDL

**Situering**

De cursus handelt over het ontwerp van complexe digitale schakelingen. De studenten maken kennis met high-level beschrijvingstalen (VHDL) en de belangrijkste methodologie voor het ontwerp van sequentiële schakelingen: register-transfer-level ontwerp. De nadruk ligt op generisch ontwerp en de complexiteit en schaalbaarheid van de circuits.

**Inhoud**

**Aanbodsessie A en B**

- Boolese uitdrukkingen en logische poorten. Twee- en meerlagen schakelingen. Karnaughkaarten en minimalisatiealgoritmes
- Hardwarebeschrijvingstalen. Inleiding tot VHDL.
- Veelgebruikte combinatorische schakelingen en hun VHDL-beschrijving: optellers, binaire vermenigvuldigers, multiplexers, demultiplexers, encoders, decoders, schakelnetwerken, netwerkboomen.
- Synchrone sequentiële logica. Latches en flipflops. Analyse van sequentiële schakelingen.
- Staatreductie. Synthese van sequentiële schakelingen. VHDL-beschrijving.
- Veelgebruikte sequentiële schakelingen en hun VHDL-beschrijving: registers, schuifregisters, rimpeltellers, synchrone tellers.

- 7 RTL-ontwerp. Datapadmodel. Algoritmische statenmachines (ASM). VHDL-beschrijving van FSM en ASM. Verschillende methodologieën voor het ontwerp van de controlelogica.
- 8 Asynchronous design: races, cycles, hazards, state reduction, equivalence tables, merger graphs.

#### **Aanbodssessie B**

- 1 Boolese uitdrukkingen en logische poorten. Twee- en meerlagen schakelingen. Karnaughkaarten en minimalisatiealgoritmes
- 2 Hardwarebeschrijvingstalen. Inleiding tot VHDL.
- 3 Veelgebruikte combinatorische schakelingen en hun VHDL-beschrijving: optellers, binaire vermenigvuldigers, multiplexers, demultiplexers, encoders, decoders, schakelnetwerken, netwerkbomen.
- 4 Synchrone sequentiele logica. Latches en flipflops. Analyse van sequentiele schakelingen.
- 5 Staatreductie. Synthese van sequentiele schakelingen. VHDL-beschrijving.
- 6 Veelgebruikte sequentiele schakelingen en hun VHDL-beschrijving: registers, schuifregisters, rimpeltellers, synchrone tellers.
- 7 RTL-ontwerp. Datapadmodel. Algoritmische statenmachines (ASM). VHDL-beschrijving van FSM en ASM. Verschillende methodologieën voor het ontwerp van de controlelogica.

#### **Begincompetenties**

Vertrouwd zijn met de bouwstenen en basisschakelingen van de digitale elektronica: poorten, multiplexers, latches, flipflops, eindige statenmachines, Karnaugh kaarten, AD- en DA-conversie.

#### **Eindcompetenties**

- 1 **Aanbodssessie A en B**  
Ontwerpen op RTL-niveau met gebruik van ASM-kaarten.
- 2 **Aanbodssessie A en B**  
Ontwerpen van digitale schakelingen in VHDL.
- 3 **Aanbodssessie A en B**  
Inzicht hebben in de complexiteit en schaalbaarheid van combinatorische en sequentiele schakelingen.
- 4 **Aanbodssessie A**  
Analyseren en ontwerpen van asynchrone schakelingen.

#### **Creditcontractvoorwaarde**

Toelating tot dit opleidingsonderdeel via creditcontract is mogelijk mits gunstige beoordeling van de competenties

#### **Examencontractvoorwaarde**

Dit opleidingsonderdeel kan niet via examencontract gevolgd worden

#### **Didactische werkvormen**

Hoorcollege, practicum

#### **Leermateriaal**

Syllabus voor de theorie, met handouts van de slides. Labo-opdrachten op Minerva, soms met oplossingen. Handouts inleiding tot VHDL. Handleidingen voor gebruik ontwikkelingsborden. Referentiemateriaal VHDL.

#### **Referenties**

Digital Design, 5th ed., Morris Mano and Michael Ciletti, Prentice-Hall, 2007

#### **Vakinhoudelijke studiebegeleiding**

De lesgever is tijdens en na de hoorcolleges beschikbaar voor uitleg. Er is begeleiding tijdens de practica. Individuele uitleg is mogelijk na afspraak.

#### **Evaluatiemomenten**

periodegebonden en niet-periodegebonden evaluatie

#### **Evaluatievormen bij periodegebonden evaluatie in de eerste examenperiode**

Mondeling examen

#### **Evaluatievormen bij periodegebonden evaluatie in de tweede examenperiode**

Mondeling examen

#### **Evaluatievormen bij niet-periodegebonden evaluatie**

Vaardigheidstest, gedragsevaluatie op de werkvloer

### **Tweede examenkans in geval van niet-periodegebonden evaluatie**

Examen in de tweede examenperiode is niet mogelijk

### **Toelichtingen bij de evaluatievormen**

Er is een examen met gesloten boek over het theoretisch deel. Het examen bestaat uit een vijftal vragen. Voor de practica is er een schriftelijke test. In de tweede examenperiode is het enkel mogelijk om het mondeling examen over het theoretisch deel te hernemen.

#### **Aanbodssessie A en B**

Periode- en niet-periode gebonden evaluatie

#### **Aanbodssessie B**

Periodegebonden evaluatie

### **Eindscoreberekening**

Evaluatie practica: 1/3

Evaluatie theorie: 2/3